

SoC 的存储器 Wrapper 设计及故障测试

谈恩民, 马江波, 秦昌明

(桂林电子科技大学 电子工程与自动化学院, 广西 桂林 541004)

摘 要: 在系统芯片 SoC 测试中, 存储器的可靠性测试是一项非常重要内容. IEEE Std 1500 是专门针对嵌入式芯核测试所制定的国际标准, 规范了 IP 核提供者和使用者之间的标准接口. 基于此标准完成针对 SoC 存储器的 Wrapper 测试壳结构和控制器的设计. 以 32×8 的 SRAM 为测试对象进行测试验证. 结果表明, 系统能够准确的诊断出存储器存在故障.

关键词: SoC 存储器; IEEE Std 1500; 测试外壳

中图分类号: TP206

文献标识码: A

文章编号: 1000-7180(2011)06-0122-04

The Design of Wrapper and Fault Test For SoC Mememory

TAN En-min, MA Jiang-bo, QIN Chang-ming

(College of Electronic Engineering and Automation, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: In the testing of system on chips (SoC), the reliability testing for the memory is very important. The IEEE Std 1500 is a international standard that is specially instituted for embedded core testing, it establishes the standard interface between the providers and users of the IP cores. The design for the Wrapper architecture and controller of the SoC memory is based on the IEEE Std 1500. This paper validates the SRAM as the test object. And the results indicate that the system can diagnose the faults in the memory accurately.

Key words: SoC memory; IEEE Std 1500; wrapper

1 引言

在系统芯片 SoC 中, 存储器的不稳定或相关电路故障常常导致对存储单元访问错误从而影响了系统的性能. 因此, 对存储器的可靠性测试十分重要.

针对 SoC 芯核测试问题, 2005 年 7 月美国国家标准协会(ANSI)通过关于嵌入式芯核测试技术的标准 IEEE Std 1500^[1]. 该标准的目的是建立 IP 核提供者和使用者之间的标准接口, 使得不同类的核从测试集成的角度来看是同构的, 使所有核的测试都可以以用相同的方法集成^[2]. 该标准对于芯核测试复用以及集成具有重要意义.

文中结合 IEEE Std 1500 标准完成对 SoC 存储器的测试, 包括测试壳 Wrapper 以及标准接口控制器的设计.

2 存储器测试外壳设计

IEEE Std 1500 标准定义的硬件结构是环绕在 IP 核周围的一个标准的可配置的芯核外壳(Wrapper). 内核利用 Wrapper 与周围环境隔离而做为单独实体被测试, 同时也使得周围模块能够作独立于该核的工作状态而进行测试. 这样, SoC 的设计、集成以及测试变得更加容易.

Wrapper 主要包括: ①外壳串行端口(Wrapper Serial Port, WSP). ②用户定义的外壳并行端口(Wrapper Parallel Port, WPP), 由使用者自行决定是否使用. ③外壳指令寄存器(WIR). ④旁路寄存器(WBY). ⑤边界寄存器(WBR)^[3].

2.1 Wrapper 边界寄存器(WBR)设计

WBR 是数据寄存器, 由 Wrapper 单元(WBC)组成, 响应移入的 WIR 指令. WBR 提供测试数据

从 Wrapper 接口端进入核内部 I/O 口的访问路径,实现核输入可控性和输出可观性^[4]. IEEE Std 1500 所定义 WBR 的操作包括:移位、捕获和更新功能.

WBC 数据端口包括:测试输入(TI),测试输出(TO),功能输入(FI),功能输出(FO). WBC 基本操作功能及数据路径:正常功能操作(FI→FO),扫描测试时扫描移入操作(TI→TO),扫描测试模式下将扫描数据施加到功能端口(TI→FO),扫描测试模式下捕获测试响应进入测试环单元(FI→TO).

在 IEEE Std 1500 标准中给出带安全模式的 WBC. 与普通 WBC 相比,具有安全模式 WBC 的突出特点是可以通过控制 SAFE_en 信号将 TO 与 FO 隔离,并通过 SAFE_value 端口向 FO 施加安全值,从而使 Wrapper 扫描链实现安全移位操作. 其电路结构如图 1 所示. WBC 工作真值表如表 1 所示.

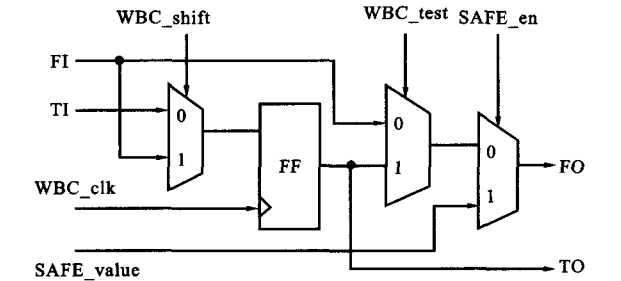


图 1 安全 WBC 电路结构

表 1 WBC 真值表

功能模式	WBC_test	WBC_shift	SAFE_en	SAFE_value
正常模式	0	×	0	×
数据移位	1	0	1	0
数据捕获	1	1	1	0
数据更新	1	0	0	×

2.2 Wrapper 旁路寄存器(WBY)设计

旁路寄存器(WBY),是标准强制规定的. WBY 在外壳串行端口的输入输出终端之间提供了一条支路^[5]. 当没有其他数据寄存器可选的时候,它可以穿过外壳而提供条最短的扫描路径,为了缩减扫描路径,旁路寄存器一般只包括一个寄存器,没有更新状态. WBY 电路结构如图 2 所示.



图 2 WBY 电路结构

2.3 Wrapper 接口端(WIP)设计

Wrapper 接口端(WIP)是 IEEE Std 1500

Wrapper 结构的重要组成部分,是测试环与测试访问机制之间的接口,信号组成包括:时钟(WRCK)、复位(WRSTN)、指令寄存器选择端(SelectWIR)、捕获端(CaptureWR)、移位端(ShiftWR)、更新端(UpdateWR)、串行输入端(WSI)、串行输出端(WSO)^[6].

Wrapper 的整个操作是都由 WIP 的控制信号以及载入到 WIR 的指令控制的. 针对存储器的测试,设计了四位 WIR 指令编码,具体如表 2 所示.

表 2 存储器测试 WIR 指令码

工作模式	指令码	控制信号输出
正常模式	0000	0000_0000_00000
旁路模式	0001	0000_0000_10101
外测试模式	0010	1110_1000_00000
输入单元移位	0011	1010_1010_01011
更新	0100	1000_1000_01011
捕获	0101	1000_1110_01011
移位停止	0110	1100_1100_01011
输出单元移位	0111	1000_1010_01011

上表中控制信号输出列表从左到右分别为:输入单元控制信号 WBCIN_test、WBCIN_shift、SAFEIN_en、SAFEIN_value,输出单元控制信号 WBCOUT_test、WBCOUT_shift、SAFEOUT_en、SAFEOUT_value、旁路移位信号 WBY_shift,以及电路开关信号 M0_sel、M1_sel、MUX0_sel、MUX1_sel.

WIR 所有控制指令都是在测试壳时钟 WRCK 的同步下进行的,如图 3 所示,向 WIR 移入移位指令工作时序. 当 WRSTN 信号有效时,测试壳处于透明状态,且 IP 核处于正常工作状态. 除了 WRSTN 信号,其余 WIP 信号都是高电平有效. 值得注意的是更新操作在 WRCK 下降沿有效. 移入指令完成后,控制信号输出相应值并传送到 WBY, WBR,多路选择器等从而改变测试壳的工作状态.

2.4 存储器 Wrapper 封装

以 32×8 的 SRAM 为测试对象进行 Wrapper 的封装. SRAM 的输入单元包括地址信号 addr[4:0]、写信号 write、读信号 read、数据输入信号 datain[7:0],输出单元包括数据输出信号 dataout[7:0]. 对输入和输出单元端口封装 WBC 组成 WBR, WIR 控制 WBY、WBR 的操作. 具体的电路结构如图 4 所示.

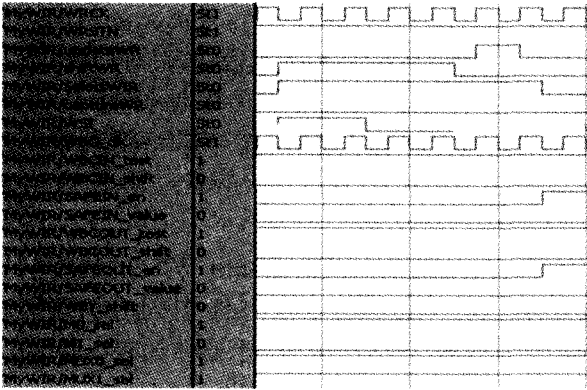


图 3 WIR 移入指令 0011 工作时序

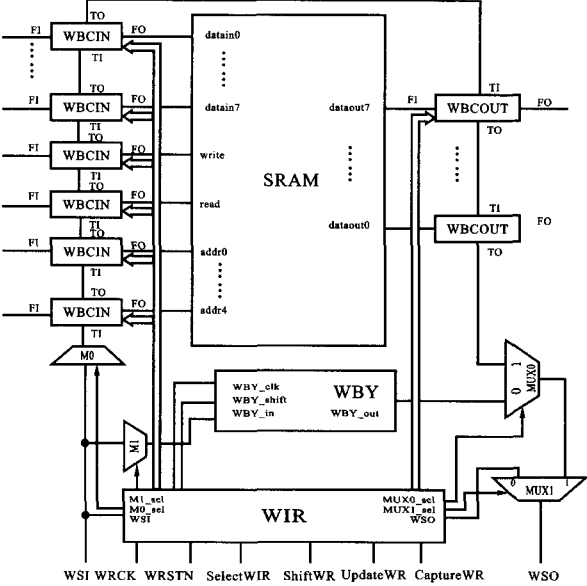


图 4 SRAM Wrapper 封装结构图

3 测试控制器

IEEE Std 1500 标准从内容来看,它仅仅解决了嵌入核测试复用结构中测试壳、测试壳和 TAM 之间接口的设计问题,但对于测试进行所需的测试源和测试收集并未做规定.因此,需设计测试控制器对测试数据的进行施加和对测试结果进行比较,进而判断存储器是否存在故障^[7-8].

针对存储器测试,设计控制器结构如图 5 所示.其中输入端口包括:时钟(CLK),复位(Reset),模式选择(Mode0, Mode1),开始(Start),串口输入端(WSI).输出端口包括:时钟(WRCK),复位(WRSTN),更新(UpdateWR),移位(ShiftWR),捕获(CaptureWR),WIR 选择(SelectWIR),测试数据或指令输出(WSO),测试故障(Error),测试结束(End).

控制器内部结构主要组成:算法状态机,地址数据生成,测试背景数据生成,读写信号生成,控制信号输出,输出数据指令数据缓存,输入数据缓存,比

较结果输出等几部分.其核心是算法状态机,它将存储器测试算法相应指令进行译码,产生相应状态,并生成测试所需要的数据背景,地址数据,读写信号以及 WIR 指令,输出相应的控制信号,接收输入的测试数据进行比较并判断测试结果.

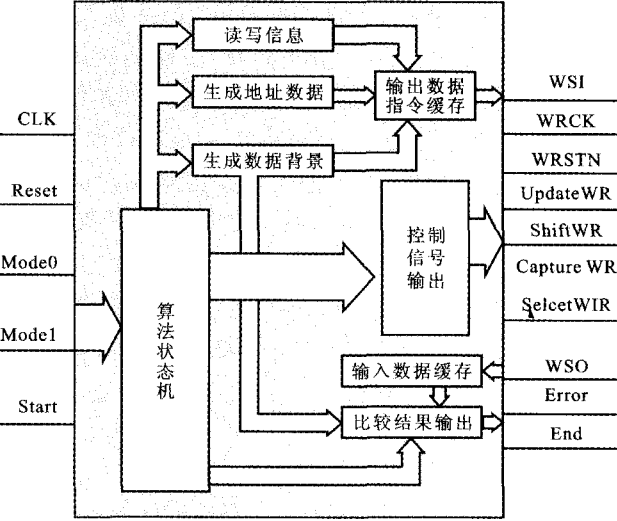


图 5 控制器结构图

4 综合测试

将 32×8 SRAM 的 IE EE Std 1500 封装标准接口与测试控制器相关端口连接.控制器 Mode0、Mode1 用于选择测试模式,当输入为 00 时正常模式,01 旁路模式,10 串行外测试,11 串行内测试.控制器将测试数据或测试指令通过其输出端口 WSO 传送给 Wrapper 的 WSI,而控制器 WSI 端口则用于接收从 Wrapper 的 WSO 端口送回的数据,并与背景数据相比较进而判断存储器是否存在故障.控制器中控制信号输出端口与 Wrapper 对应端口相连接.

存储器的写操作过程如下:①测试控制器算法状态机根据存储器测试算法指令,进行译码生成地址数据(addr[4:0])、读(read)、写(write)、背景数据(datain[7:0])等测试数据,并将测试数据保存至测试数据缓冲器 WDROUT_buffer.②测试控制器将移位指令 0011 送至 Wrapper 的 WIR, WIR 根据指令输出 WBC、WBY 以及多路开关控制信号.③测试控制器将数据缓冲器中测试数据移位进 WBR 输入单元,完成数据移位后 WIR 移入移位停止指令 0110,移位操作结束.④测试控制器向 Wrapper WIR 移入更新指令 0100, WBC 将测试数据施加到 FO 端口,完成写操作.

存储器的读操作过程如下:①测试控制器算法状态机根据存储器测试算法指令,进行译码生成地

址数据与读写数据. ②向 Wrapper 移入移位指令 0011. ③测试控制器向 Wrapper 移入测试数据, 完成数据移位后 WIR 移入停止移位指令 0110. ④测试控制器向 Wrapper WIR 移入更新指令 0100. ⑤测试控制器向 Wrapper WIR 移入数据捕获指令 0101. ⑥测试控制器向 Wrapper WIR 移入数据移出指令 0111, 数据移出完成后 WIR 输入停止移位指令 0110, 完成读操作.

存储器故障判断: 存储器完成读操作后, 测试数据移入测试控制器的输入数据缓冲器 WDRIN_buffer, 将缓冲器中数据与期望数据进行比较, 如果相等则无故障, 如果不等则存储器存在故障, 输出相应信号 Error 与 End.

整个系统采用 Verilog HDL 硬件描述语言编程, 在 Modelsim SE 6.5 中进行时序的仿真, 分别采用了正常模式、旁路模式进行 SRAM 的串行内测试.

如图 6(a)所示, 正常模式下系统的联合测试仿真波形, 向 Wrapper 移入正常功能模式 WIR 指令 0000, WIR 配置 WBR, WBY 及多路器, 先后向地址 01010 写入 10101010, 地址 10101 写入 01010101, 然后读地址 01010 和 10101, 地址 00000 写入 11111111, 读地址 00000. 观测波形, 系统正常工作, 芯核在工作模式下工作正常.

如图 6(b)所示, 系统工作于串行内测试状态, 存储器中没有设置故障. 仿真波形图显示, 在系统过程中工作正常, 结果输出显示正确, Error 输出 0, End 输出 1.

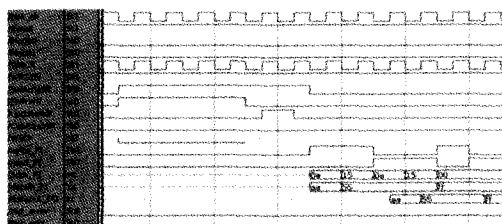
如图 6(c)所示, 系统工作于串行内测试模式, 存储器在地址 01010 设置故障. 仿真结果显示, 系统能够准确检测出故障, 并且输出正确结果, Error 输出 1, End 输出 1.

5 结束语

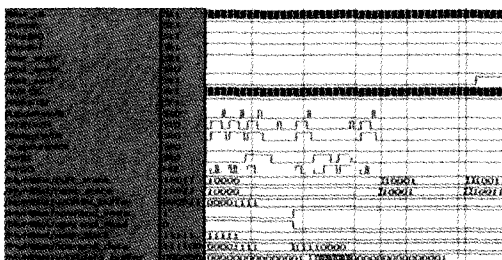
文中以 IEEE Std 1500 为基础, 以 32×8 SRAM 为例, 给出了存储器测试的体系结构. 介绍了测试壳中测试边界寄存器 WBR、旁路寄存器 WBY 以及指令寄存器 WIR, 并针对存储器测试完成控制器的设计. IEEE Std 1500 通过为存储器核添加标准的测试接口, 使得存储器核测试变得容易, 同时可扩展的测试壳结构和测试集成方法又为存储器的测试设计保留了足够的灵活性.

参考文献:

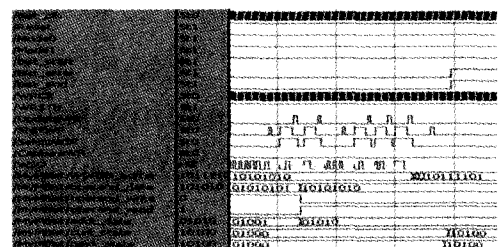
[1] 杨鹏, 邱静, 刘冠军. 嵌入式芯核测试标准 IEEE Std



(a) 正常模式波形



(b) 串行内测试存储器无故障检测



(c) 串行内测试存储器有故障检测

图6 测试波形图

1500 综述[J]. 测控技术, 2006, 25(8): 40-43.

- [2] 魏岩, 靖固, 洪开. 基于嵌入式芯核测试的标准[J]. 微机计算机信息, 2009, 25(4-2): 138-140.
- [3] IEEE Std 1500, IEEE Standard Testability Method for Embedded Core Based Integrated Circuits [S]. IEEE, 2005.
- [4] 张颖, 吴宁. 基于 SOC 测试的 IEEE P1500 标准[J]. 电子测量技术, 2007, 30(5): 119-121.
- [5] 吴超, 王红, 杨士元. 基于复用的 SOC 测试集成和 IEEE P1500 标准[J]. 微电子学, 2005, 35(3): 240-244.
- [6] 张琨, 杨松华. 基于 IEEE P1500 的 SOC 可测性设计技术[J]. 电子技术, 2005(8): 62-66.
- [7] 谈恩民, 张立刚. 基于 SoC 规范的存储器内建自测试设计与对比分析[J]. 国外电子测量技术, 2010, 29(4): 74-76.
- [8] 王丽, 施玉霞, 王友仁. 一种嵌入式存储器内建自测试电路设计[J]. 计算机测量与控制, 2008, 16(5): 624-626.

作者简介:

谈恩民 男, (1967-), 博士研究生, 教授. 研究方向为计算机辅助测试和集成电路可测性技术.

马江波 男, (1984-), 硕士研究生. 研究方向为计算机辅助测试和集成电路可测性技术.